

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-035909

(43)Date of publication of application : 07.02.2003

(51)Int.Cl. G02F 1/1345
 G02B 5/20
 G02F 1/1335
 G02F 1/1343
 G02F 1/1368

(21)Application number : 2001-223248

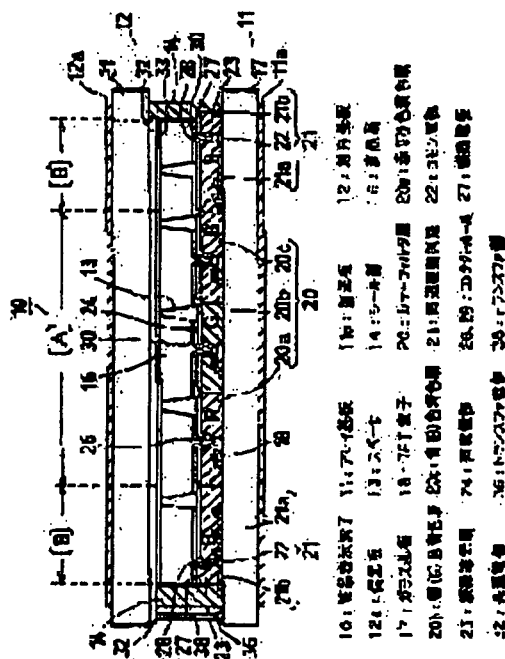
(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.07.2001

(72)Inventor : OSADA HIROYUKI
 YAMAMOTO TAKESHI**(54) METHOD FOR MANUFACTURING PLANE DISPLAY ELEMENT AND PLANE DISPLAY ELEMENT****(57)Abstract:**

PROBLEM TO BE SOLVED: To improve a display contrast by preventing the reaction of a light modulating layer in a picture frame region caused by a leakage electric field from the drive circuit during drive, and promptly removing electric charges accumulated in the picture frame region caused by the leakage electric field during power source off in a drive circuit integrated plane display element in which the drive circuit is disposed in the picture frame region.

SOLUTION: A picture frame light shielding layer 23 is formed of the same material as a blue (B) colored layer 20c on a circumference drive circuit 21 disposed in the picture frame region [B] of an array substrate 11, and at the same time a picture frame electrode 27 is formed of the same material as the pixel electrode 24 on the light shielding layer 23. The picture frame electrode 27 is connected to a common electrode 22 which is connected to a common electrode 32 of a counter substrate 12 and grounded. Thereby, the potential of the picture frame electrode 27 and the common electrode 32 becomes the same, the reaction of the liquid crystal layer 16 is prevented, and the accumulated electric charges are promptly removed.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-35909

(P2003-35909A)

(43) 公開日 平成15年2月7日 (2003.2.7)

(51) Int.Cl.	識別記号	F I	7-73-1* (参考)
G 0 2 F 1/1345		G 0 2 F 1/1345	2 H 0 4 8
G 0 2 B 5/20	1 0 1	G 0 2 B 5/20	1 0 1 2 H 0 9 1
G 0 2 F 1/1335	5 0 0	G 0 2 F 1/1335	5 0 0 2 H 0 9 2
	5 0 5		5 0 5
1/1343		1/1343	

審査請求 未請求 請求項の数11 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2001-223248(P2001-223248)

(22) 出願日 平成13年7月24日 (2001.7.24)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 長田 洋之

埼玉県深谷市幡通町一丁目9番地2 株式

会社東芝深谷工場内

(72) 発明者 山本 武志

埼玉県深谷市幡通町一丁目9番地2 株式

会社東芝深谷工場内

(74) 代理人 100081732

弁護士 大前 典夫 (外2名)

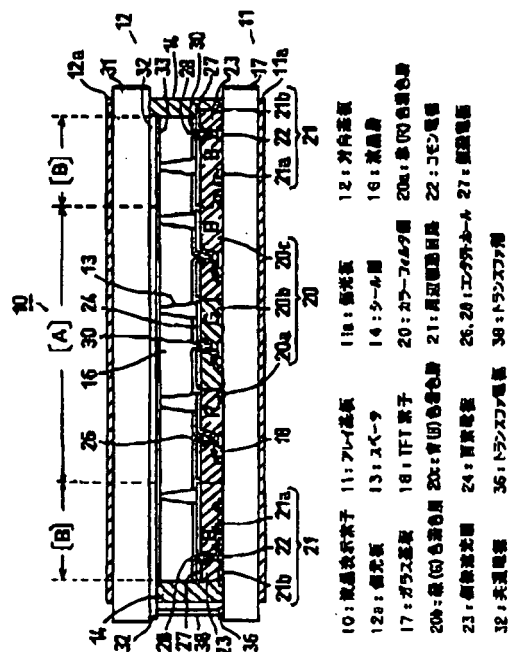
最終頁に続く

(54) 【発明の名称】 平面表示素子および平面表示素子の製造方法

(57) 【要約】

【課題】 額縁領域に駆動回路を配置する駆動回路一体型の平面表示素子において、駆動時に駆動回路から生じる漏れ電界により額縁領域の光変調層が反応するのを防止し、且つ電源オフ時に漏れ電界により額縁領域に溜まった電荷を速やかに除去し、表示コントラストを向上する。

【解決手段】 アレイ基板11の額縁領域[B]に配置される周辺駆動回路21上に青(B)色着色層20cと同一材料にて額縁遮光層23を形成し、その上に画素電極24と同一材料にて同時に額縁電極27を形成する。額縁電極27を、対向基板12の共通電極32に接続され又接地されるコモン電極22に接続する。これにより額縁電極27と共通電極32とを同電位にし液晶層16の反応を防止し、又溜まった電荷を速やかに除去する。



(2)

特開2003-35909

1

【特許請求の範囲】

【請求項1】 一主面上にスイッチング素子により駆動される画素電極をマトリクス状に配列してなる表示領域及びこの表示領域周囲に形成される駆動回路を有する第1の基板と、一主面上に共通電極を有し前記第1の基板に対向配置される第2の基板とをシール剤で貼り合せ、スペーサにより保持される前記第1の基板及び前記第2の基板の間に光変調層を封入する平面表示素子において、

前記第1の基板にて前記駆動回路の上層に形成され、前記共通電極と同電位に設定される額縁電極を具備することを特徴とする平面表示素子。

【請求項2】 前記平面表示素子が前記第1の基板あるいは前記第2の基板のいずれか一方であって前記表示領域に相当する領域に形成される着色層と、

前記第1の基板あるいは前記第2の基板のいずれか一方であって前記表示領域周囲に形成される額縁遮光層とを有しノーマリーブラック型であることを特徴とする請求項1記載の平面表示素子。

【請求項3】 前記額縁電極が前記画素電極と同一材にて同時に形成されることを特徴とする請求項1記載の平面表示素子。

【請求項4】 前記着色層及び前記額縁遮光層とが前記第1の基板に形成され、前記額縁電極が前記額縁遮光層の上層に形成され前記共通電極と同電位に設定される事を特徴とする請求項1記載の平面表示素子。

【請求項5】 前記額縁遮光層が、前記着色層と同一材にて同時に形成されることを特徴とする請求項1記載の平面表示素子。

【請求項6】 前記額縁遮光層が、前記スペーサと同一材にて同時に形成される事を特徴とする請求項1記載の平面表示素子。

【請求項7】 一主面上にスイッチング素子により駆動される画素電極をマトリクス状に配列してなる表示領域及びこの表示領域周囲に形成される駆動回路を有する第1の基板と、一主面上に共通電極を有し前記第1の基板に対向配置される第2の基板とをシール剤で貼り合せ、スペーサにより保持される前記第1の基板及び前記第2の基板の間に光変調層を封入する平面表示素子の製造方法において、

前記画素電極形成と同時に前記駆動回路領域上層に額縁電極とを形成する工程と、

前記共通電極と前記額縁電極とを電気的に同電位に設定する工程とを具備することを特徴とする平面表示素子の製造方法。

【請求項8】 前記第1の基板あるいは前記第2の基板のいずれか一方の前記表示領域に相当する領域に着色層を形成すると同時に、前記表示領域周囲に前記着色層と同一材にて額縁遮光層を形成する工程と、前記共通電極と前記額縁電極とを電気的に接続する工程とを具備する

2

ことを特徴とする請求項7記載の平面表示素子の製造方法。

【請求項9】 前記着色層及び前記額縁遮光層を前記第1の基板に形成し、前記額縁電極を、前記画素電極形成と同時に前記額縁遮光層上層に形成する事を特徴とする請求項8記載の平面表示素子の製造方法。

【請求項10】 前記第1の基板あるいは前記第2の基板のいずれか一方の基板に前記スペーサを形成すると同時に、前記表示領域周囲に前記スペーサと同一材にて額縁遮光層を形成する工程とを具備することを特徴とする請求項7記載の平面表示素子の製造方法。

【請求項11】 前記スペーサ及び前記額縁遮光層を前記第1の基板に形成し、前記額縁電極を、前記画素電極形成と同時に前記額縁遮光層上層に形成する事を特徴とする請求項10記載の平面表示素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は平面表示素子に係り、特に駆動回路一体型の平面表示素子及び平面表示素子の製造方法に関する。

【0002】

【従来の技術】近年、パソコン端末、モニター等に用いられる表示素子として、マトリクス状に配列される画素電極及びこの画素電極を駆動するための薄膜トランジスタ（以下TFTと略称する。）からなるスイッチング素子を有するアレイ基板と、共通電極を有しアレイ基板に対向配置される対向基板のいずれか一方の基板に、赤（R）、緑（G）、青（B）の3原色の着色層からなるカラーフィルタ層を有し、シール剤でかこまれた隙間に、例えば液晶等の光変調層を備えてなる平面表示素子が多用されている。

【0003】更にこの様な平面表示素子にあっては、アレイ基板上の画素電極周囲の額縁領域にポリシリコン（以下p-Siと略称する。）を半導体層としたp-SiTFTを用いて画素電極のスイッチング素子に駆動信号を送る駆動回路を形成する駆動回路一体型の平面表示素子の実用化が図られている。

【0004】一方、この様な駆動回路一体型の平面表示素子において、例えば、電源オフ時に白表示するノーマリーホワイト型表示素子であるTN（Twisted Nematic）型液晶表示素子に加えて、電源オフ時に黒表示するノーマリーブラック型表示素子であるVA（Vertical Aligned）型液晶表示素子等が広く用いられるようになった。ノーマリーブラック型表示素子の場合は、液晶と偏光板の働きにより、電源がオフの時は光を透過せず黒を表示させることから、表示領域周囲の額縁領域に設ける額縁遮光層は、ノーマリーホワイト型表示素子に用いる額縁遮光層に比べると、額縁遮光層の光学濃度（以下ODと略称する。）が低くても液晶表示素子全体としては黒く見える。従って従来

50

(3)

特開2003-35908

3

ノーマリーブラック型表示素子を製造する際、額縁透光層にはODの高い真っ黒な透光材料ではなく、透光性は有するもののODが低くてフォトリソグラフィによる加工が容易な透光材料を用いその実用化を図っていた。

【0005】実際には、表示領域に形成するカラーフィルタ層の着色層の中でODの高い青（B）色の着色層を額縁透光層として用い、青（B）色着色層の形成工程時に同時に額縁透光層を形成する事により、その層形成工程数を削減し製造時間の短縮ひいては製造コストの低減を図っていた。

【0006】

【発明が解決しようとする課題】しかしながら上記駆動回路一体型且つノーマリーブラックの平面表示素子にて、ODの低い透光材料で額縁透光層を形成すると、額縁透光層の加工性を向上でき製造コストの低減を得られる反面、額縁領域で光漏れが発生するという問題を生じていた。

【0007】この額縁領域での光漏れを詳細に観察したところ、光漏れの種類は2種類あることが判明した。一つは額縁領域に設けられた駆動回路の配線等の電極両端を中心として発生するものであり、もうひとつは駆動回路の電極位置とは関係なく発生するものである。

【0008】駆動回路の電極両端を中心して発生する光漏れは通電時に発生した。これは、駆動回路一体型の液晶表示素子の額縁領域に設けられる駆動回路は、当然ながら表示領域のスイッチング素子を駆動するXドライバ、Yドライバ等を有してなっている。このため画像表示時を行うための表示領域への通電時には、これら駆動回路へも通電され、額縁領域の下に配線等の電極両端から電界が漏れ、その電圧が液晶のしきい値電圧以上になると液晶が応答して光漏れが生じると推定された。

【0009】もう一方の光漏れ、すなわち電極位置とは関係なく発生する光漏れは、主に電源オフ時に発生した。これは、アレイ基板側の額縁領域に電極が無いために、漏れ電界により発生していた電荷が電源オフ時に額縁領域に留まり逃げるのができずに保持され、この保持電荷が液晶のしきい値電圧以上になると液晶が応答して光漏れが生じると推定された。

【0010】そしてこれら額縁領域の光漏れは、電源オフ時には画面周囲が多少明るくなる程度で特に問題無いものの、通電時である画像表示時には、表示領域周囲でコントラストの低下を来とし、表示品位を著しく低下するという問題を生じていた。

【0011】そこで本発明は上記課題を除去するものであり、駆動回路一体型の平面表示素子にて、駆動回路から発生される漏れ電界による光変調層への影響を防止すると共に額縁領域に発生された電荷を速やかに除去することにより、額縁透光層の加工性を損なうことなく額縁領域での光漏れが発生するのを防止して、全面にわたり表示コントラストの良い良好な表示品位を有する平面

4

表示素子及び平面表示素子の製造方法を提供することを目的とする、

【0012】

【課題を解決するための手段】本発明は上記課題を解決するための手段として、一主面上にスイッチング素子により駆動される画素電極をマトリクス状に配列してなる表示領域及びこの表示領域周囲に形成される駆動回路を有する第1の基板と、一主面上に共通電極を有し前記第1の基板に対向配置される第2の基板とをシール剤で貼り合せ、スペーサにより保持される前記第1の基板及び前記第2の基板の間に光変調層を封入する平面表示素子において、前記第1の基板にて前記駆動回路の上層に形成され、前記共通電極と同電位に設定される額縁電極を設けるものである。

【0013】又本発明は上記課題を解決するための手段として、一主面上にスイッチング素子により駆動される画素電極をマトリクス状に配列してなる表示領域及びこの表示領域周囲に形成される駆動回路を有する第1の基板と、一主面上に共通電極を有し前記第1の基板に対向配置される第2の基板とをシール剤で貼り合せ、スペーサにより保持される前記第1の基板及び前記第2の基板の間に光変調層を封入する平面表示素子の製造方法において、前記画素電極形成と同時に前記駆動回路領域上層に額縁電極とを形成する工程と、前記共通電極と前記額縁電極とを電気的に同電位に設定する工程とを実施するものである。

【0014】上記構成により本発明は、表示領域周囲の駆動回路から漏れ電界が生じるのに関わらず、共通電極との間に電位差を生じることがなく、且つ、漏れ電界により発生された電荷を速やかに逃がすことにより光変調層の応答を防止し、額縁透光層に加工性の良いODの低い材料を用いた場合であっても光漏れを生じることなく、コントラストの良い、表示品位の高い平面表示素子の実用化を図るものである。

【0015】

【発明の実施の形態】以下、本発明を図1及び図2に示す第1の実施の形態を参照して説明する。図1は平面表示素子であり、縦768ピクセル、横1024×3

(R、G、B)の表示領域[A]を有する駆動回路一体型且つノーマリーブラック型の液晶表示素子10を示す概略断面図である。液晶表示素子10は、第1の基板であるアレイ基板11及び第2の基板である対向基板12をスペーサ13を介して対向配置し、シール剤14にて周囲を接着して成る間隙に液晶層16を封入し、更にアレイ基板11及び対向基板12外面にはそれぞれ偏光板11a、12aがノーマリーブラックとなる方向で貼り付けられている。

【0016】アレイ基板11は、ガラス基板17の表示領域[A]において、図示しない走査線及び信号線の交点近傍に液晶駆動用のp-Siを半導体層とするTFT

10

20

30

40

50

(4)

特開2003-35909

5

素子18を有し、TFT素子18の上には赤(R)、緑(G)、青(B)それぞれの着色層20a、20b、20cをストライプ状に配置されてなるカラーフィルタ層20が配置されている。又ガラス基板17の表示領域[A]周囲の額縁領域[B]には、p-Siを半導体層とするTFT素子からなるバッファ回路、レベルシフタ、MRC、シフトレジスタ、アナログスイッチ等の各種回路21a及び、これらを接続する配線21b更には、接地されるコモン電極22を有する周辺駆動回路21が形成され、周辺駆動回路21の上には青(B)色着色層20cと同一材料からなる額縁遮光層23が配置されている。

【0017】カラーフィルタ層20上であって図示しない走査線及び信号線で囲まれる領域には、768×1024×3個のインジウム錫酸化物(以下ITOと称する。)膜からなる画素電極24がマトリクス状にパターン形成されている。画素電極24はカラーフィルタ層20に形成されるコンタクトホール28を介してTFT素子18のソース電極(図示せず)に接続し、TFT素子18により駆動される。一方、額縁遮光層23上には、ITO膜からなる額縁電極27がパターン形成されていて、額縁電極27は額縁遮光層23に形成されるコンタクトホール28を介してコモン電極22に接続される。画素電極24及び額縁電極27上には透明な柱状のスペーサ13が形成され、その上から配向膜30が成膜されている。

【0018】一方対向基板12は、ガラス基板31上にITO膜からなる共通電極32が形成され、その上から配向膜33が成膜されている。共通電極32は、トランスファ剤38に接続され、トランスファ電極36及び図示しない配線を介し周辺駆動回路21のコモン電極22に接続されている。

【0019】次に液晶表示素子10の製造方法について述べる。まずアレイ基板11に通常のフォトリソグラフィ工程によるパターンニングを繰り返してガラス基板17の表示領域[A]に768×1024×3このTFT素子18を形成すると同時にガラス基板17の額縁領域[B]に周辺駆動回路21を形成する。

【0020】次いで、赤(R)色の顔料を分散させた紫外線硬化型アクリル樹脂レジストCR-2000(富士フィルムオーリン(株)製)をスピンナーにて全面塗布し、カラーフィルタ層20の赤(R)色を着色したい部分に光を照射するフォトマスクを介し365nmの波長の紫外線を100mJ/cm²照射し、水酸化カリウム(KOH)の1%水溶液で10秒間現像し、焼成後、その部分に3.0μm厚の赤(R)色着色層20aを形成する。次に着色材料CG-2000(富士フィルムオーリン(株)製)を用いて同様に3.0μm厚の緑(G)色着色層20bを形成する。

【0021】更に、CB-2000(富士フィルムオー

6

リン(株)製)をスピンナーにて全面塗布し、カラーフィルタ層20の青(B)色を着色したい部分及び額縁領域[B]とに光を照射するフォトマスクを介し365nmの波長の紫外線を100mJ/cm²照射し、水酸化カリウム(KOH)の1%水溶液で10秒間現像し、焼成後、カラーフィルタ層20の青(B)色部分に3.0μm厚の青(B)色着色層20cを形成し、額縁領域[B]に3.0μm厚の青(B)色の額縁遮光層23を形成する。この額縁遮光層23の単独でのOD値は1.0であり、周辺駆動回路21を加えた額縁領域[B]でのOD値は1.3~1.7を得られた。

【0022】上記現像時には、カラーフィルタ層20のTFT素子18上に15×15μmのコンタクトホール28及び、額縁遮光層23のコモン電極22上に15×15μmのコンタクトホール28が形成されている。この後ITO膜を1500Åスパッタ法にて成膜し、フォトリソグラフィ工程によってパターンニングし、表示領域[A]に画素電極24をパターン形成し、額縁領域[B]に額縁電極27をパターン形成する。画素電極24はコンタクトホール28を介しTFT素子18に接続し、額縁電極27はコンタクトホール28を介しコモン電極22に接続する。

【0023】更に透明感光性樹脂(富士フィルムオーリン(株)製)をスピンナーを用いて4.2μmの厚みに塗布し、90℃で10分乾燥後、スペーサ13形成部分に光を照射するフォトマスクを用いて365nmの波長の紫外線を、200mJ/cm²照射したあとpH11.5のアルカリ水溶液にて現像し、200℃で60分焼成して高さ3.6μmの柱状のスペーサ13を形成する。その後、垂直配向膜材料を500Å塗布し、配向膜30を形成する。

【0024】一方ガラス基板31に、ITO膜を1500Åスパッタ法にて成膜し、共通電極32をパターン形成後、この上に垂直配向膜材料を500Å塗布し、配向膜33を形成し、対向基板12を形成する。

【0025】この後、アレイ基板11の駆動領域[B]外周に、注入口(図示せず)を設けてシール剤14を塗布し、コモン電極22と共通電極32とを接続するためのトランスファ剤38をシール剤14周辺のトランスファ電極36上に塗布する。次にアレイ基板11と対向基板12を対向配置し、加熱してシール剤14を硬化して貼り合わせ液晶セルを形成する。次にシール剤14の注入口(図示せず)より負の誘電異方性をもつn型液晶組成物を注入し、この後注入口を紫外線硬化樹脂で封止し、液晶層18を封入後、アレイ基板11及び対向基板12の外面にそれぞれ偏光板11a、12aを互いに偏光軸が90°の角度となるように貼付けて液晶表示素子10を完成する。

【0026】この様にして製造した、駆動回路一体型且つノーマリーブラック型の液晶表示素子10の製造当初

50

(5)

特開2009-95909

7

の額縁領域[B]のODは3.8~4.2であった。この後、液晶表示素子10の表示テストを行い額縁領域[B]の光漏れ状況を観察したところ、画像表示を行う通電時あるいは、電源オフ時のいずれにおいても、額縁領域[B]のODは製造当初と同様の3.8~4.2を保持し、光漏れが見られず、額縁領域[B]は十分な遮光性を確保出来、画像表示時には全面にわたり高いコントラストを得られ、電源オフ時には均一なブラック画面を保持した。

【0027】これは、額縁領域[B]に額縁電極27が形成され、この額縁電極27がコモン電極22、トランスファ剤38を介し共通電極32に電気的に接続されているので、通電時に周辺駆動回路21による漏れ電界が生じていても、液晶層16に電圧が掛からないことによる。又電源オフ時には、漏れ電界により生じた電荷が額縁電極27からコモン電極22を介し直ちに放電されるので、液晶層16に電圧が掛からないことによる。

【0028】これに対し(比較例)として、額縁領域[B]の額縁遮光層23上に額縁電極27を形成しない事以外は第1の実施の形態と全く同様にして図3に示す液晶表示素子41を製造した。

【0029】この(比較例)の液晶表示素子41の製造当初の額縁領域[B]のODは3.8~4.2と、第1の実施の形態とであった。しかしながらこの後、液晶表示素子41の表示テストを行い額縁領域[B]の光漏れ状況を観察したところ、画像表示を行う通電時には、額縁領域[B]のODは2.8~3.0に低下し、光漏れを生じ、表示品位を著しく低下してしまった。この光漏れは、通電時に周辺駆動回路21から漏れた電界が額縁領域[B]に蓄積され、共通電極32との間の電圧が液晶層16のしきい値電圧以上になったために液晶が応答したために生じたものである。

【0030】上記の構成により第1の実施の形態にあっては、カラーフィルタ層20に用いるのと同じ材質のODが低くフォトリソグラフィによる加工性の良い青

(B)色着色層20cを用いて、カラーフィルタ層20の形成と同時に額縁遮光層23を形成した際に、額縁遮光層23上に額縁電極27を設けて、この額縁電極27を対向基板12の共通電極32と電気的に接続して同電位としている。従って、駆動回路一体型の液晶表示素子10にて、周辺駆動回路21から漏れ電界が発生されるのかにかかわらず、額縁領域[B]にあっては液晶層16に電界がかかることが無く、漏れ電界による額縁領域[B]での光漏れを防止出来、良好なコントラストを有する表示品位の高い液晶表示素子を得られる。しかも電源がオフされると、漏れ電界により発生され溜まっていた電荷は、コモン電極22から速やかに放電される。又、額縁遮光層23は、従来のようにODが高くフォトリソグラフィによる加工に劣る遮光材料を用いて単独に

8

形成するのではなく、カラーフィルタ層20の形成工程と同時に形成することにより、単独の製造工程を省略出来、製造工程数の低減により生産性向上ひいてはコストの低減を図れる。

【0031】次に本発明を図4に示す第2の実施の形態を参照して説明する。本実施の形態は、第1の実施の形態において、カラーフィルタ層20の赤(R)、緑(G)、青(B)それぞれの着色層20a、20b、20cの製造順序を緑(G)→青(B)→赤(R)の順にし、更に額縁領域[B]の青(B)色着色層20c上に赤(R)色着色層20aを重ねたものであり、他は第1の実施の形態と同一であることから、第1の実施の形態と同一部分については同一符号を付しその説明を省略する。

【0032】本実施の形態においては、液晶表示素子47のアレイ基板42上でのカラーフィルタ層20及び額縁遮光層43の形成時、先ずカラーフィルタ層20の緑(G)色を着色したい部分に緑(G)色着色層20bを形成する。次いで、カラーフィルタ層20の青(B)色を着色したい部分と額縁領域[B]に青(B)色着色層20cを形成する。更にカラーフィルタ層20の赤(R)色を着色したい部分と額縁領域[B]に赤(R)色着色層20aを形成して、表示領域[A]にカラーフィルタ層20を形成すると共に、額縁領域[B]に青(B)色着色層20cと赤(R)色着色層20aとを重ねた額縁遮光層43を形成する。

【0033】そして第1の実施の形態と同様、表示領域[A]に画素電極24をパターン形成すると同時に額縁領域[B]に額縁電極46をパターン形成し、コンタクトホール44を介しコモン電極22に接続する。

【0034】この様な額縁遮光層43を有する液晶表示素子47は、製造当初の額縁領域[B]のODは4.8~5.0であった。この後、液晶表示素子47の表示テストを行い額縁領域[B]の光漏れ状況を観察したところ、画像表示を行う通電時あるいは、電源オフ時のいずれにおいても、額縁領域[B]のODは製造当初と同様の4.8~5.0を保持し、光漏れが見られず、額縁領域[B]は十分な遮光性を確保出来、画像表示時には全面にわたり高いコントラストを得られ、電源オフ時には均一なブラック画面を得られた。特に反射光がある場合に、第1の実施の形態にあっては額縁領域[B]が青味がかかって見える時があったが、この第2の実施の形態では、反射光がある場合、額縁領域[B]は濃紫になり色味が改善された。

【0035】上記の構成によりこの第2の実施の形態は、第1の実施の形態と同様、カラーフィルタ層20に用いるのと同じ材料を用いて、カラーフィルタ層20の形成と同時に額縁遮光層43を形成した際に、額縁遮光層43上に共通電極32と電気的に接続される額縁電極27を設けることにより、周辺駆動回路21から漏れ電

(6)

特開2003-35909

9

界が発生されるのにかかわらず、額縁領域[B]での光漏れを防止出来、良好なコントラストを有する表示品位の高い駆動回路一体型の液晶表示素子を得られ、又電源がオフされた場合には、漏れ電界により発生され溜まっていた電荷は、コモン電極22から速やかに放電可能となる。又、額縁遮光層43はカラーフィルタ層20の形成工程と同時に形成されるので、専用の製造工程を省略出来、製造工程数の低減により生産性向上ひいてはコストの低減を図れる。

【0038】次に本発明を図5に示す第3の実施の形態を参照して説明する。本実施の形態は、第1の実施の形態において、カラーフィルタ層20の赤(R)、緑(G)、青(B)それぞれの着色層20a、20b、20cの製造順序を青(B)→赤(R)→緑(G)の順とすると共に、スペーサ13に換えて、カラーフィルタ層20形成時に赤(R)、緑(G)、青(B)それぞれの着色層20a、20b、20cを重ねあわせてスペーサを形成するものであり、他は第1の実施の形態と同一であることから、第1の実施の形態と同一部分については同一符号を付しその説明を省略する。

【0037】本実施の形態の液晶表示素子50は、アレイ基板51上でのカラーフィルタ層20及び額縁遮光層23の形成時、先ずカラーフィルタ層20の青(B)色を着色したい部分と額縁領域[B]に青(B)色着色層20cを形成する。次いで、カラーフィルタ層20の赤(R)色を着色したい部分に赤(R)色着色層20aを形成すると共に青(B)色の着色層20c上であってスペーサ48形成領域に、20 μ m \times 20 μ mの赤(R)色着色層20aのスペーサパターン48aを作成する。更にカラーフィルタ層20の緑(G)色を着色したい部分に緑(G)色着色層20bを形成すると共にスペーサ48形成領域の赤(R)色の着色層20aのスペーサパターン48a上に、12 μ m \times 12 μ mの緑(G)色の着色層20bのスペーサパターン48bを形成する。これにより表示領域[A]にカラーフィルタ層20を形成すると同時に額縁領域[B]に額縁遮光層23を形成し、更に、表示領域[A]あるいは額縁領域[B]に、青(B)色の着色層20cをベースとするスペーサ48を形成する。

【0038】この液晶表示素子50は、製造当初の額縁領域[B]のODは第1の実施の形態と同様3.8~4.2であった。その後、液晶表示素子50の表示テストを行い額縁領域[B]の光漏れ状況を観察したところ、画像表示を行う通電時あるいは、電源オフ時のいずれにおいても、額縁領域[B]のODは製造当初と同様の3.8~4.2を保持し、光漏れが見られず、額縁領域[B]は十分な遮光性を確保出来、画像表示時には高いコントラストを得られ、電源オフ時には全面にわたり均一なブラック画面を得られた。

【0039】上記の構成によりこの第3の実施の形態

10

は、第1の実施の形態と同様、カラーフィルタ層20に用いるのと同じ材料を用いて、カラーフィルタ層20の形成と同時に形成される額縁遮光層23上に、共通電極32と電気的に接続される額縁電極27を設けることにより、周辺駆動回路21からの漏れ電界の発生にかかわらず、額縁領域[B]での光漏れを防止出来、良好なコントラストを有する表示品位の高い駆動回路一体型の液晶表示素子を得られ、又電源がオフされた場合には、漏れ電界により発生され溜まっていた電荷がコモン電極22から速やかに放電可能となる。更に、カラーフィルタ層20形成と同時に額縁遮光層23を形成し又スペーサ48を形成する事から、額縁遮光層23及びスペーサ48を製造するための専用の製造工程を省略出来、製造工程数の低減により生産性向上ひいてはコストの低減を図れる。

【0040】次に本発明を図6に示す第4の実施の形態を参照して説明する。本実施の形態は、第1の実施の形態において、スペーサを黒色とし、さらに額縁遮光層を、スペーサと同一材料を用いて同時に形成するものであり、他は第1の実施の形態と同一であることから、第1の実施の形態と同一部分については同一符号を付しその説明を省略する。

【0041】本実施の形態の液晶表示素子52は、第1の実施の形態と同様にして、アレイ基板53の表示領域[A]に赤(R)、緑(G)、青(B)の着色層20a、20b、20cからなるカラーフィルタ層20を形成する。但しこの時、青(B)色着色層20cによる額縁遮光層の形成は行わない。次いで、黒色感光性樹脂CK-2000(富士フィルムオーリン(株)製)をスピナーを用いて4.2 μ mの厚みに全面塗布し、90℃で10分の乾燥後、スペーサ54形成部分及び額縁領域[B]とに光を照射するフォトマスクを用いて365nmの波長の紫外線を500mJ/cm²の露光量で露光したあとpH11.5のアルカリ水溶液にて現像し、200℃で60分焼成して高さ3.6 μ mのスペーサ54を形成する。これと同時に額縁領域[B]に3.6 μ m厚の黒(BK)色の額縁遮光層56を形成する。この額縁遮光層56単独でのOD値は2.0であり、周辺駆動回路21を加えた額縁領域[B]でのOD値は2.3~2.7を得られた。

【0042】上記現像時に、額縁遮光層56のコモン電極22上に15 \times 15 μ mのコンタクトホール57が作成されている。次にITO膜を1500Åスパッタ法にて成膜し、フォトリソグラフィ工程によってパターンニングし、表示領域[A]に画素電極24をパターン形成し、額縁領域[B]に額縁電極58をパターン形成する。画素電極24はコンタクトホール26を介しTFT素子18に接続し、額縁電極58はコンタクトホール57を介しコモン電極22に接続する。この後垂直配向膜材料を500Å塗布し、配向膜81を形成する。

(7)

特開2003-35909

11

【0043】この液晶表示素子52は、製造当初の額縁領域[B]のODは4.8〜5.2と高く、この後液晶表示素子52の表示テストを行い額縁領域[B]の光漏れ状況を観察したところ、画像表示が成される通電時あるいは、電源オフ時のいずれにおいても、額縁領域

[B]のODは製造当初と同様の4.8〜5.2を保持し、光漏れが見られず、額縁領域[B]は十分な遮光性を確保出来、画像表示時には全面にわたり良好なコントラストを得られ、電源オフ時には均一なブラック画面を得られた。

【0044】上記の構成によりこの第4の実施の形態は、額縁遮光層58を、単独に形成するのではなく、スペーサ54に用いるのと同じ材料の黒色ではあるもののODが2.0と低くフォトリソグラフィによる加工性の比較的良好な黒色感光性樹脂を用いて、スペーサ54の形成と同時に形成した際に、額縁電極58を設けることにより、周辺駆動回路21からの漏れ電界の発生にかかわらず、額縁領域[B]での光漏れを防止出来、良好なコントラストを有する表示品位の高い駆動回路一体型の液晶表示素子を得られ、又電源がオフされた場合には、漏れ電界により発生され溜まっていた電荷は、コモン電極22から速やかに放電可能となる。又、スペーサ54の形成と同時に額縁遮光層58を形成する事から額縁遮光層58を製造するための専用の製造工程を省略出来、製造工程数の低減により生産性向上ひいてはコストの低減を図れる。

【0045】尚本発明は上記実施の形態に限られるもので無く、その趣旨を変えない範囲での変更は可能であって、例えば、ノーマリーブラック表示を行うための光変調層の種類等任意であり、TN型液晶を用い、偏光板を平行に配置する事によりノーマリーブラック表示を行うものであっても良い。又、カラーフィルタ層や額縁遮光層に用いる着色層材料や膜厚等任意であり、そのODも限定されない。更に、カラーフィルタ層や額縁遮光層は、平面表示素子のいずれの基板側に配置しても良く、対向基板側に設けても良い。

【0046】

【発明の効果】以上説明したように本発明によれば、駆動回路一体型の平面表示素子にて、画像表示時にあっては駆動回路からの漏れ電界により光変調層が反応するのを防止すると共に、電源オフ時には漏れ電界を速やかに

12

除去できる。従って駆動回路が配置される額縁領域で光漏れを生じることが無く、良好なコントラストを有する表示品位の高い駆動回路一体型の平面表示素子の実用化を得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の液晶表示素子を示す概略構成図である。

【図2】本発明の第1の実施の形態の液晶表示素子を平面から見た概略説明図である。

10 【図3】（比較例）の液晶表示素子を示す概略構成図である。

【図4】本発明の第2の実施の形態の液晶表示素子を示す概略構成図である。

【図5】本発明の第3の実施の形態の液晶表示素子を示す概略構成図である。

【図6】本発明の第4の実施の形態の液晶表示素子を示す概略構成図である。

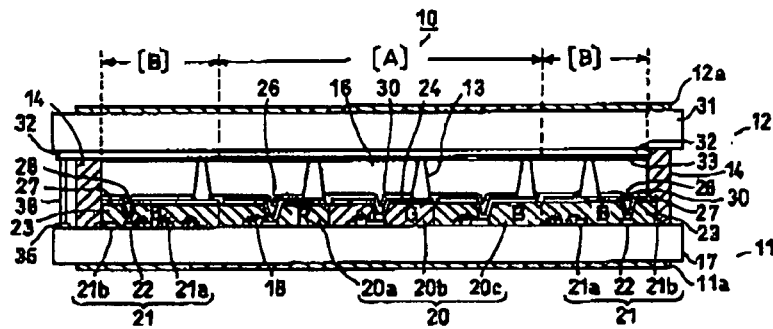
【符号の説明】

- 10…液晶表示素子
- 20 11…アレイ基板
- 11 a…偏光板
- 12…対向基板
- 12 a…偏光板
- 13…スペーサ
- 14…シール剤
- 16…液晶層
- 17…ガラス基板
- 18…TFT素子
- 20…カラーフィルタ層
- 20 a…赤(R)色着色層
- 20 b…緑(G)色着色層
- 20 c…青(B)色着色層
- 21…周辺駆動回路
- 22…コモン電極
- 23…額縁遮光層
- 24…画素電極
- 26, 28…コンタクトホール
- 27…額縁電極
- 32…共通電極
- 40 36…トランスファ電極
- 38…トランスファ剤

(8)

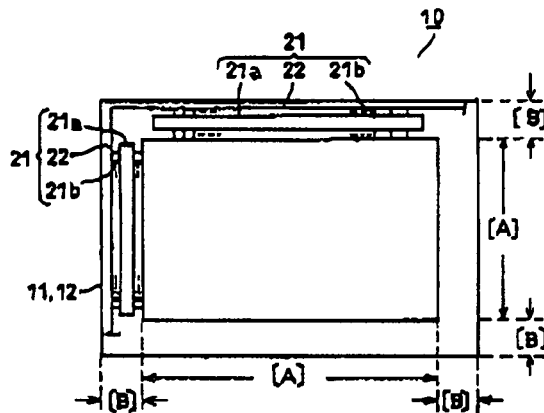
特開2003-35809

【図1】

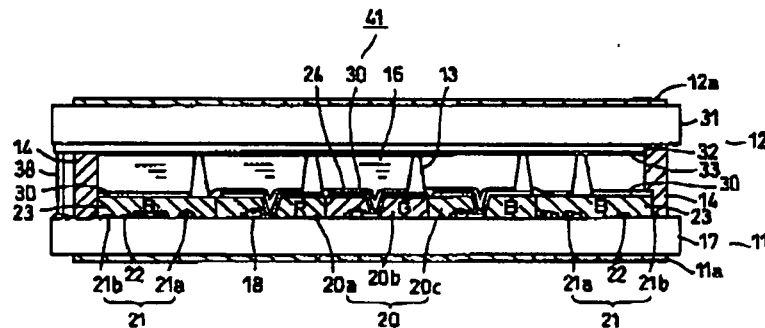


- | | | | |
|---------------|---------------|----------------|---------------|
| 10: 液晶表示素子 | 11: フレイ基板 | 11a: 偏光板 | 12: 対向基板 |
| 12a: 偏光板 | 13: スペース | 14: シール剤 | 15: 液晶層 |
| 17: ガラス基板 | 18: TFT素子 | 20: カラーフィルタ層 | 20a: 赤(R)色着色層 |
| 20b: 緑(G)色着色層 | 20c: 青(B)色着色層 | 21: 周辺駆動回路 | 22: コモン電極 |
| 23: 共通電極層 | 24: 画素電極 | 25, 28: コントラクト | 27: 画素電極 |
| 32: 共通電極 | 35: トランジスタ電極 | 36: トランジスタ | |

【図2】



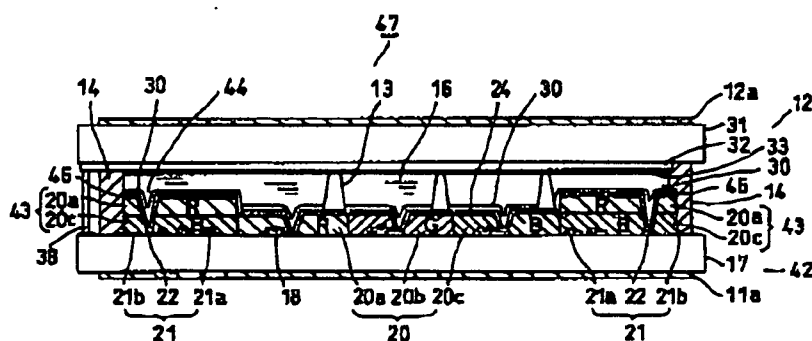
【図3】



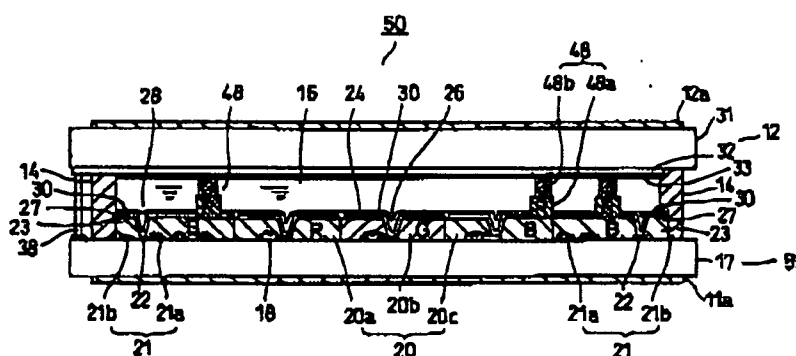
(9)

特開2003-35909

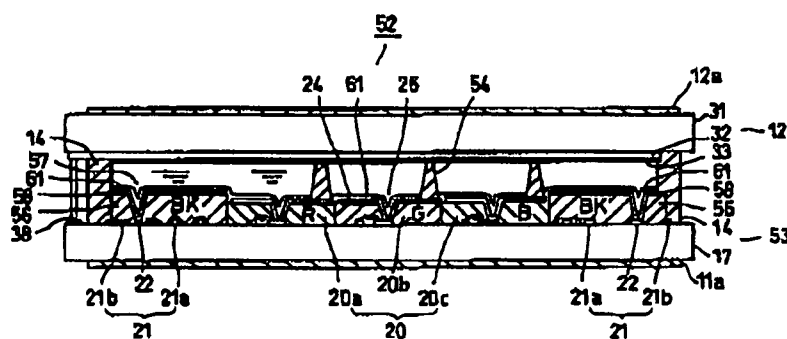
【図4】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.

G02F 1/1368

識別記号

F I

G02F 1/1368

キーワード(参考)

(10)

特開2003-35909

Fターム(参考) 2H048 BA11 BB01 BB44
2H091 FA02Y FA34Y GA01 GA03
GA08 GA11 GA13 LA17
2H092 JA24 PA01 PA03 PA06 PA08
PA09